

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

DAE WOO LEE, ET AL.

Application No.:

Filed:

For: **Structure of High Voltage Device  
and Low Voltage Device, and Method  
of Manufacturing the Same**

Art Group:

Examiner:

Commissioner for Patents  
P.O, Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

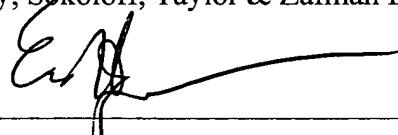
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2002=81474	18 December 2002

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: November 24 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0081474

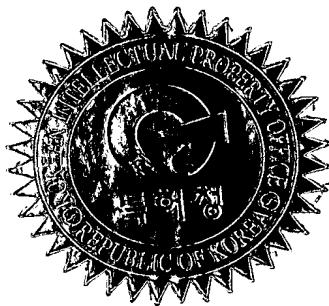
Application Number

출원년월일 : 2002년 12월 18일

Date of Application DEC 18, 2002

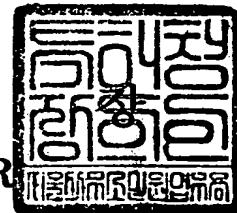
출원인 : 한국전자통신연구원

Applicant(s) Electronics and Telecommunications Research Institute



2003 년 06 월 02 일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002. 12. 18
【발명의 명칭】	고전압 및 저전압 소자의 구조와 그 제조 방법
【발명의 영문명칭】	Structure of high voltage device and low voltage device, and method of manufacturing the same
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	이대우
【성명의 영문표기】	LEE,Dae Woo
【주민등록번호】	560218-1670315
【우편번호】	305-755
【주소】	대전광역시 유성구 어은동 99 한빛아파트 110-1506
【국적】	KR
【발명자】	
【성명의 국문표기】	노태문
【성명의 영문표기】	ROH,Tae Moon
【주민등록번호】	620306-1670916
【우편번호】	305-345
【주소】	대전광역시 유성구 신성동 한울아파트 107-202
【국적】	KR
【발명자】	
【성명의 국문표기】	양일석
【성명의 영문표기】	YANG,Yil Suk
【주민등록번호】	670516-1783033

1020020081474

출력 일자: 2003/6/3

【우편번호】	305-503		
【주소】	대전광역시 유성구 송강동 송강마을아파트 204-806		
【국적】	KR		
【발명자】			
【성명의 국문표기】	박일용		
【성명의 영문표기】	PARK, II Yong		
【주민등록번호】	711201-1524323		
【우편번호】	450-140		
【주소】	경기도 평택시 합정동 404-8		
【국적】	KR		
【발명자】			
【성명의 국문표기】	유병곤		
【성명의 영문표기】	YU,Byoung Gon		
【주민등록번호】	570418-1797911		
【우편번호】	305-390		
【주소】	대전광역시 유성구 전민동 엑스포아파트 306-404		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김종대		
【성명의 영문표기】	KIM,Jong Dae		
【주민등록번호】	540809-1110127		
【우편번호】	302-724		
【주소】	대전광역시 서구 관저동 대자연마을아파트 108-2105		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	3	면	3,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	13	항	525,000 원

1020020081474

출력 일자: 2003/6/3

【합계】	557,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	278,500 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

### 【요약서】

#### 【요약】

본 발명은 고전압 및 저전압 소자의 구조와 그 제조방법에 관한 것으로, SOI 기판 위에 형성된 고전압 및 저전압 소자의 구조에 있어서, SOI 기판 내의 실리콘 소자 영역의 높이가 고전압 소자 영역 보다 저전압 소자 영역이 높도록 단차가 있고, 고전압 소자가 형성되는 실리콘소자 영역의 두께는 저전압 소자의 소스 및 드레인의 불순물의 접합 깊이와 일치되도록 형성하는 것을 특징으로 한다. 따라서, SOI 기판 내의 실리콘 소자영역을 고전압 소자 영역 및 저전압 소자 영역으로 나누어 산화막 성장법을 통해 단차를 두어 차별화 하므로, 낮은 접합 캐퍼시턴스를 갖는 고전압 소자를 제조할 수 있고, 기존의 CMOS 공정 및 소자 특성과 호환성을 갖는 저전압 소자를 동시에 제조할 수 있는 효과가 있다.

#### 【대표도】

도 2h

#### 【색인어】

고전압 DMOS, 저전압 MOS, 무기 ELD

**【명세서】****【발명의 명칭】**

고전압 및 저전압 소자의 구조와 그 제조방법{Structure of high voltage device and low voltage device, and method of manufacturing the same}

**【도면의 간단한 설명】**

도 1은 종래 기술에 의한 고전압 및 저전압 소자의 구조를 설명하기 위한 단면도.

도 2a 내지 도 2h는 본 발명의 바람직한 실시예에 의한 고전압 및 저전압 소자의 제조방법을 설명하기 위한 단면도들.

도 3은 본 발명의 다른 실시예에 의한 고전압 및 저전압 소자의 구조를 설명하기 위한 단면도.

도 4는 본 발명에 의한 고전압 및 저전압 소자가 무기 ELD의 핵심에 적용된 예를 설명하기 위한 회로도.

**<도면의 주요 부분에 대한 부호의 설명>**

200,300 : 하부 기판

202,302 : 매몰 산화막

214,314 : 저전압 소자의 p 웨

216,316 : 표류 영역

218,318 : 고전압 소자의 p 웨

222,222a : 저온 절연막

222b : 소자 격리 절연막

322 : 고온 필드 산화막

226,326 : 두꺼운 게이트 산화막

228,328 : 얇은 게이트 산화막

230a,230b,330a,330b : 게이트 전극

232a,232b,232c,332a,332b : LDD 영역

236a, 236c, 336a, 336c : 소스 영역      236b, 236d, 336b, 336d : 드레인 영역

238, 338 : 층간절연막                  240a, 240b, 340a, 340b : 소스 전극

242a, 242b, 342a, 342b : 드레인 전극

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16>        본 발명은 무기 ELD(electroluminescent display)의 픽셀(pixel)에 관한 것으로서, 특히 SOI(Silicon-on-Insulator) 기판에서 실리콘 소자영역의 단차를 이용한 고전압 및 저전압 소자 구조와 그 제조방법에 관한 것이다.

<17>        도 1은 종래 기술에 의한 고전압 및 저전압 소자의 구조를 설명하기 위한 단면도이다. 무기 ELD의 픽셀에 사용되는 고전압 소자는 낮은 접합 캐패시턴스(junction capacitance)를 얻기 위해 비교적 얇은 두께의 실리콘 소자영역을 갖는 SOI 기판을 이용하여 제조하였다. 도 1을 참조하면 종래 기술에 의한 무기 ELD의 픽셀에 사용되는 고전압 소자 및 저전압 소자의 구조는 SOI 기판의 하부 기판(100) 및 매몰 산화막(102) 위에 p 웰(114, 118), 표류 영역(116), 게이트 산화막(126, 128), 게이트 전극(130a, 130b), 소스/드레인 영역(136a, 136b, 136c, 136d) 및 소스/드레인 전극(140a, 140b, 142a, 142b) 등으로 이루어진다.

<18>        도 1에서 도시한 바와 같이 종래 기술에 의한 고전압 전력소자 및 저전압 소자는 소스 및 드레인 영역(136a, 136b, 136c, 136d)의 접합 깊이(junction depth)가

SOI 기판의 활성층인 상부 실리콘층의 두께와 동일하다. 특히,  $1\mu\text{m}$  금의 얇은 실리콘 소자 영역을 갖는 SOI 기판(이하, 얇은 SOI 기판)을 사용할 경우, 낮은 접합 캐패시턴스를 갖는 고전압 LDMOS(lateral double diffused MOS) 소자를 제작할 수 있다. 그러나 얇은 SOI 기판을 사용할 경우 저전압 소자는 얇은 실리콘 소자영역으로 인해 게이트 전압이 증가함에 따라 드레인 전류가 급격하게 증가하는 킨크(kink) 효과에 의해 전기적 특성의 제어가 어려운 단점이 있었다. 그리고 공정 측면에서는 소스 및 드레인 간의 접합 깊이를 조절하여 기존의 서브 마이크론(sub-micron)급 CMOS 소자공정과의 호환성을 가지는 저전압 소자 및 고전압 소자를 동시에 제작하는데 어려움이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 본 발명이 이루고자 하는 기술적 과제는, 실리콘 소자영역의 단차를 이용하여 낮은 접합 캐패시턴스를 갖는 고전압 소자와 더불어 안정된 저전압 소자구조를 제공하는데 있다.

<20> 본 발명이 이루고자 하는 다른 기술적 과제는, SOI 기판상에서 서브 마이크론급 CMOS 공정과 호환성을 갖는 고전압 및 저전압 소자의 제조방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<21> 상기 과제를 이루기 위해, 본 발명에 의한 고전압 및 저전압 소자의 구조는, SOI 기판 위에 형성된 고전압 및 저전압 소자의 구조에 있어서, SOI 기판 내의 실리콘 소자 영역의 높이가 고전압 소자 영역 보다 저전압 소자 영역이 높도록 단차가 있고, 저전압 소자 영역에서 소스 및 드레인 영역의 하단이, 고전압 소자 영역에서 실리콘 소자 영역의 상단의 높이와 일치하는 것이 바람직하다.

<22> 상기 다른 과제를 이루기 위해, 본 발명에 의한 고전압 및 저전압 소자의 제조방법은 하부 기판, 매몰 산화막 및 상부 실리콘 층이 순차적으로 적층된 SOI 기판 상에 제1 산화막 및 질화막을 순차적으로 증착하는 단계, 전체구조 상에 고전압 소자 영역을 정의한 후, 고전압 소자 영역에 대한 제1 산화막 및 질화막을 식각하여 제거하는 단계, 고전압 소자 영역에 제2 산화막을 성장시켜 상부 실리콘 층의 두께를 상기 고전압 소자 영역 이외의 영역보다 더 얇게 형성하는 단계, 제2 산화막 및 잔존한 제1 산화막 및 질화막을 제거하는 단계, 소자 격리 영역을 정의한 후, 상부 실리콘 층을 식각하여 고전압 소자 영역 및 저전압 소자 영역을 형성하는 단계, 저전압 소자 영역에는 p 웨爾을 형성하고, 고전압 소자 영역에는 p 웨爾 및 표류 영역을 형성하는 단계, 저전압 소자 영역에는 얇은 게이트 산화막을 형성하고, 고전압 소자 영역에는 두꺼운 게이트 산화막을 형성하는 단계, 저전압 소자 영역 및 고전압 소자 영역에 각각 게이트 전극, LDD 영역, 측벽 산화막 및 소스/드레인 영역을 형성하는 단계 및 전체구조 상부에 층간절연막을 증착한 후, 소스/드레인 전극을 형성하는 단계를 포함하는 것이 바람직하다.

<23> 본 발명에 의한 고전압 전력소자는 낮은 접합 캐패시턴스를 갖는 LDMOS 소자이며, 저전압 소자는 MOS 소자로서 종래의 CMOS 소자공정 및 전기적변수와 호환성을 가진다. SOI 기판의 실리콘 소자 영역의 단차를 이용하여 낮은 접합 캐패시턴스를 갖는 고전압 소자를 제조하고, 기존의 서브 마이크론 CMOS 소자공정과 호환성을 가지는 저전압 소자를 동시에 용이하게 제조할 수 있다. 이때 고전압 소자의 경우에는 열산화법을 이용하여 SOI 기판에서 실리콘 소자영역의 두께를 조절하는 것이 매우 중요하다. 특히 SOI 기판 상에서 고전압 소자가 형성되는 실리콘소자 영역의 두께는 서브 마이크론급 저전압 소자 의 소스 및 드레인의 불순물의 접합깊이와 일치되는 정도로 조절되어야 한다. 그리고, n

표류영역을 형성시킨 후, 채널형성을 위해 p 웨爾을 측면으로 확산시켜 채널길이를 조절하며 다결정 실리콘막의 게이트 전극 길이, n 표류영역, p 웨爾의 불순물 농도분포 및 소자 구조 등을 최적화시키는 것이 중요하다. 또한 서브 마이크론급 저전압 소자의 경우, p웨爾 불순물 농도 등을 최적화하기 위해 이온주입조건 및 열처리 온도 등이 기술적인 주요 변수이다.

<24>        이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술 분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.

<25>        도 2a 내지 도 2h는 본 발명의 바람직한 실시예에 의한 고전압 및 저전압 소자의 제조방법을 설명하기 위한 단면도들이다.

<26>        도 2a를 참조하면, SOI 기판 상에 제1 산화막(206)을 형성한다. SOI 기판은 p형 실리콘 하부 기판(200), 매몰 산화막(202) 및 p형 상부 실리콘층(204)으로 이루어진다. 이 때 상부 실리콘층(204)이 실리콘 소자 영역(silicon device region)이 된다. 매몰 산화막(202)은 두께가 약  $1\sim3\mu\text{m}$ 이고, 실리콘 소자 영역(204)은 두께가 약  $1\sim2\mu\text{m}$ 이고, 제1 산화막(206)은 두께가 약  $300\sim400\text{\AA}$ 이다. 이어서 제1 산화막(206) 상에 제1 질화막(208)을 형성한다. 제1 질화막(208)은  $3000\sim5000\text{\AA}$ 의 두께이고, 저압 화학 증착법(LPCVD)으로 증착시키는 것이 바람직하다.

<27>        도 2b를 참조하면, 감광막(photoresist)(미도시)을 도포하고 사진전사공정으로 고전압 소자영역(A)을 정의한 후, 고전압 소자영역에 대한 제1 질화막(208) 및 제1 산화막(206)을 건식식각한다. 이어서 고전압 소자영역(A)에 제2 산화막(210)을

형성한다. 제2 산화막(210)은 두께가 6000~8000Å 인 것이 바람직하다. 이때 고전압 소자영역(A)에 해당하는 SOI 기판의 상부 실리콘층(204)은 두께가 약 0.2~0.5μm 가 되도록 식각하여 조절하는 것이 바람직한데, 이를 위해 제2 산화막의 성장과 식각공정을 반복하여 실시할 수 있다. 여기서 일반 전기로를 이용한 산화막 성장도 가능하지만, 산화막 성장속도가 빠른 고압 산화막 성장공정을 이용하면 더욱더 용이하게 상부 실리콘층(204) 두께를 제어할 수 있다.

<28> 이어서, 도 2c를 참조하면, 제1 질화막(208)과 제2 산화막(210)을 습식식각으로 제거하고, 소자격리 영역(B)을 형성한다. 여기서 제1 질화막(208)과 제2 산화막(210)을 습식식각으로 제거할 때에 고전압 및 저전압 소자영역의 실리콘층 표면의 손상을 방지하기 위해, 고전압 소자영역위에 제2 산화막(210)을 일정두께로 남겨두면서 제2 산화막(210)을 습식식각한 다음, 제1 질화막(208)을 습식식각하며, 이어서 잔존하는 모든 산화막(206,210)을 습식식각할 수도 있다. 그리고 소자격리 영역(B)의 형성은 약 4000Å 두께의 저온 산화막(미도시)을 증착하고 감광막을 도포한 후, 사진전사공정으로 소자격리 영역을 정의한다. 그리고 저온 산화막을 건식식각한 다음, 소자격리 영역의 상부 실리콘층(204)을 식각한다. 이어서 감광막을 제거하고, 잔존한 약 4000Å 두께의 저온 산화막(미도시)을 식각하여 제거한다.

<29> 이어서, 도 2d를 참조하면, 전체구조 상부에 300~400Å 두께의 제3 산화막(212)을 형성한다. 그리고 저전압 소자 영역(C)에는 p 웨(214)을 형성하고, 고전압 소자 영역(A)에는 표류 영역(drift region)(216) 및 p 웨(218)을 형성한다. 저전압 소자 영역(C)의 p 웨(214) 형성은 감광막을 도포하고, 사진전사공정으로 p 웨(214) 영역을 정의한 후, 붕소(B) 이온 등을 주입한다. 이어서, 감광막을 제거한 후 1150°C 의 온도 및 N<sub>2</sub> 분위기에

서 1차 열처리를 한다. 고전압 소자 영역(A)의 표류 영역(216) 형성은 감광막을 도포하여 사진전사공정으로 표류 영역(216)을 정의한 후, 인(P) 이온 등을 이온 주입해서 형성한다. 그리고 고전압 소자 영역(A)의 p 웨(218) 형성은 감광막을 도포하여 사진전사공정으로 고전압 소자의 p 웨(218)을 정의한 후, 붕소(B) 이온 등을 주입한 다음 감광막을 제거하여 형성한다.

<30> 이어서, 도 2e를 참조하면, 1150°C 의 온도 및 N<sub>2</sub> 분위기에서 2차 열처리를 실시하고, 잔존한 제3 산화막(212)을 제거한다. 그리고 전체 구조 상부에 제4 산화막(220) 및 절연막(222)을 증착하고, 고전압 소자의 필드 영역 및 소자격리 영역 상에 제2 질화막을 증착한다. 이때 제4 산화막(220)은 300~400Å의 두께로 형성하고, 절연막(222)은 5000~7000Å의 두께로 저온 산화막을 증착시켜 형성하며, 제2 질화막은 2000~3000Å의 두께로 형성하는 것이 바람직하다. 이어서 감광막 도포 및 사진전사공정, 그리고 질화막 식각공정을 연속으로 하면 고전압 소자의 필드 영역과 소자격리 영역 상에 제2 질화막 패턴(224a, 224b)이 각각 형성된다. 여기서 제2 질화막 증착공정을 생략하고 고전압 소자의 필드 영역과 소자격리 영역상에 감광막 패턴을 선택할 수도 있다.

<31> 이어서, 도 2f를 참조하면, 제2 질화막 패턴(224a, 224b)을 마스크로 하여 절연막(222)을 식각하여 제거한다. 이후 제2 질화막 패턴(224a, 224b)을 제거하면, 절연막(222) 중 식각되지 않은 부분(222a, 222b)이 잔존하게 된다.

<32> 이어서 고전압 소자 영역에는 두꺼운 게이트 산화막(226)을, 저전압 소자 영역에는 얇은 게이트 산화막(228)을 형성한다. 그리고 게이트 전극 형성을 위해 다결정 실리콘 막(230)을 전체구조 상부에 증착한다. 고전압 소자 영역 및 저전압 소자 영역의 게이트 산화막 형성은 다음과 같이 할 수 있다. 전체구조 상부에 200~300Å 두께의 산화막을 성

장시킨 후, 소자의 문턱전압 조절을 위해 붕소( $\text{BF}_2$ ) 이온을  $1\sim2\times10^{13}\text{cm}^{-2}$  도우즈로 이온 주입 한다. 그리고 감광막을 도포하여 사진전사공정을 통해 저전압 소자의 게이트 영역의 산화막을 습식식각한 후, 감광막을 제거한다. 이어서 약  $170\text{\AA}$  두께의 게이트 산화막을 성장시키면 결과적으로 고전압 소자 영역에는 두꺼운 게이트 산화막(226)이 형성되고, 저전압 소자 영역에는 얇은 게이트 산화막(228)이 형성된다. 게이트 전극 형성을 위한 다결정 실리콘막(230)은  $3000\sim4000\text{\AA}$  의 두께로 증착하고,  $\text{POCl}_3$  도핑을 하는 것이 바람직하다.

<33> 이어서, 도 2g를 참조하면, 고전압 소자 영역 및 저전압 소자 영역에 게이트 전극(230a, 230b)을 형성하고, LDD 영역(232a, 232b, 232c)을 형성한다. 그리고 고전압 소자 영역 및 저전압 소자 영역의 게이트 전극의 가장 자리에 측벽 산화막(234a, 234b, 234c, 234d)을 형성하고, 소스 및 드레인 영역(236a, 236b, 236c, 236d)을 형성 한다.

<34> 고전압 소자 영역 및 저전압 소자 영역에 대한 게이트 전극(230a, 230b)의 형성은 감광막을 도포하고 사진전사 및 다결정 실리콘막(230)에 대한 식각공정을 행하여 형성할 수 있다. 고전압 소자 영역 및 저전압 소자 영역에 대한 LDD(lightly doped drain) 영역(232a, 232b, 232c)의 형성을 위해서는, 감광막을 도포하고 사진전사공정으로 LDD 영역을 정의한 후, 인(P) 이온을 약  $2\times10^{13}\text{cm}^{-2}$  도우즈로 이온 주입하여 형성할 수 있다. 이어서 감광막을 제거하고 측벽 산화막(234a, 234b, 234c, 234d)의 형성을 위해,  $4000\text{\AA}$  두께의 저온 산화막을 증착한 후 반응성 이온식각(reactive ion etching) 공정을 수행하면 소자의 게이트 전극의 가장자리에 측벽 산화막이 형성된다. 그리고 소스 및 드레인 영역(236a, 236b, 236c, 236d)에  $100\sim200\text{\AA}$  두께의 산화막을 성장시킨 다음, 감광막을 도포하여

사진전사공정으로 n+ 소스 및 드레인 영역을 정의하고 비소(As)를 이온주입하여 형성한다. 이어서 감광막을 제거한 후, 900°C에서 열처리를 행한다.

<35> 이어서, 도 2h를 참조하면, 전체구조 상부에 층간절연막(238)을 증착한다. 층간절연막(238)은 6000Å 두께로, 저온에서 증착시킬 수 있다. 이때 층간절연막(238)은 1500Å 두께의 TEOS(Tetra Ethyl Ortho Silicate) 산화막과 4500Å 두께의 BPSG(Boro Phospho Silicate Glass) 막이 사용될 수 있다.

<36> 이어서 고전압 소자 영역 및 저전압 소자 영역에 각 소자의 소스 전극(240a, 240b) 및 드레인 전극(242a, 242b)을 형성한다. 즉, 감광막을 도포한 다음, 콘택 마스크를 사용하여 사진전사 및 건식식각공정으로 패터닝 공정들을 통해 고전압 소자 영역 및 저전압 소자 영역에 n+ 소스/드레인 영역의 콘택 홀을 각각 형성한 후, 기판의 전면에 금속층을 형성하고, 금속층을 사진전사 및 금속식각공정으로 패터닝하여 고전압 소자의 소스 전극(240a)과 드레인 전극(242a), 저전압 소자의 소스 전극(240b)과 드레인 전극(242b)을 형성한다. 동시에 각 소자의 게이트 금속 전극(미도시)들을 형성하며, 마지막으로 금속열처리 공정을 행하면, 무기 ELD의 핵심 및 전력 구동 IC를 위한 고전압 nLDMOS 소자 및 저전압 nMOS 소자가 제조된다.

<37> 이하에서는 본 발명의 다른 실시예에 의한 고전압 및 저전압 소자의 구조를 설명한다.

<38> 도 3은 본 발명의 다른 실시예에 의한 고전압 및 저전압 소자의 구조를 설명하기 위한 단면도이다. 도 3의 참조번호 중 도 2h의 참조번호와 뒷자리 부분이 동일한 것은 도 2h의 구성수단과 동일한 구성수단을 의미한다.

<39> 도 3을 참조하면, 고전압소자의 필드 절연막(322a) 형성을 열산화막으로 성장시킨 경우이며, 도 2h에 비해 종래의 서브 마이크론급의 CMOS 공정 및 소자 특성과 더욱더 호환성을 가질수 있는 제조 방법이다.

<40> 도 3에 도시된 실시예는, 도 2h에 도시된 실시예와 마찬가지로, SOI 기판상에서 고전압 소자가 형성되는 실리콘소자 영역의 두께는 서브 마이크론급 저전압 소자의 소스 및 드레인의 불순물의 접합깊이와 일치되는 정도로 조절되어야 한다.

<41> 도 4는 본 발명에 의한 고전압 및 저전압 소자가 무기 ELD의 픽셀에 적용된 예를 설명하기 위한 회로도이다. 도 4를 참조하면, 가로 방향의 선은 선택 라인(Select line)을 나타내고, 세로 방향의 선은 데이터 라인(Data line)을 나타낸다. nMOS는 본 발명에 의한 저전압 소자이며, nLDMOS는 본 발명에 의한 고전압 소자를 나타낸다. 여기서  $C_s$  및  $C_{dv}$ ,  $C_{EL}$ 은 각각 스토리지 캐패시턴스 및 고전압 소자의 캐패시턴스, EL 소자의 캐패시턴스이며, HVAC는 픽셀에 인가되는 교류 전원전압을 나타낸다. 본 발명에 의한 고전압 및 저전압 소자의 제조방법을 이용하면 낮은 접합 캐패시턴스를 갖는 고전압 소자와 동시에 기존의 CMOS 공정과 호환성을 갖는 저전압 소자를 제조할 수 있다.

<42> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

### 【발명의 효과】

<43> 이상에서 설명한 바와 같이, 본 발명에 의한 고전압 및 저전압 소자의 구조와 그 제조방법은, SOI 기판 내의 실리콘 소자영역을 고전압 소자 영역 및 저전압 소자 영역으

로 나누어 산화막 성장법을 통해 단차를 두어 차별화 하므로, 낮은 접합 캐패시턴스를 갖는 고전압 소자를 제조할 수 있고, 기존의 CMOS 공정 및 소자 특성과 호환성을 갖는 저전압 소자를 동시에 제조할 수 있는 효과가 있다. 또한 공정 미세화 및 최적화를 통해 디스플레이 팩셀의 접속도 및 해상도를 높일 수 있다. 그밖에 본 발명에 의한 고전압 및 저전압 소자의 구조와 그 제조방법은 디스플레이의 팩셀 이외에도 고전압, 고속 및 고성능이 요구되는 각종 전력 구동 IC 에도 사용될 수 있다.

**【특허청구범위】****【청구항 1】**

- (a) 하부 기판, 매몰 산화막 및 상부 실리콘 층이 순차적으로 적층된 SOI 기판 상에 제1 산화막 및 질화막을 순차적으로 증착하는 단계;
- (b) 전체구조 상에 고전압 소자 영역을 정의 한 후, 고전압 소자 영역에 대한 상기 질화막 및 제1 산화막을 식각하여 제거하는 단계;
- (c) 상기 고전압 소자 영역에 제2 산화막을 성장시켜 상기 고전압 소자 영역의 상기 상부 실리콘 층 두께를 상기 저전압 소자 영역의 상기 상부 실리콘 층 두께 보다 얇게 형성하는 단계;
- (d) 상기 제2 산화막과 상기 잔존한 질화막 및 제1 산화막을 제거하는 단계;
- (e) 소자 격리 영역을 정의한 후, 상기 상부 실리콘 층을 식각하여 고전압 소자 영역 및 저전압 소자 영역을 각각 형성하는 단계;
- (f) 상기 저전압 소자 영역에는 p 웨爾을 형성하고, 상기 고전압 소자 영역에는 n 웨爾 및 표류 영역을 형성하는 단계;
- (g) 상기 저전압 소자 영역에는 얇은 게이트 절연막을 형성하고, 상기 고전압 소자 영역에는 두꺼운 게이트 절연막을 형성하는 단계;
- (h) 상기 저전압 소자 영역 및 고전압 소자 영역에 각각 게이트 전극, LDD 영역, 측벽 산화막, 소스 영역 및 드레인 영역을 형성하는 단계; 및
- (i) 전체구조 상부에 충간절연막을 증착한 후, 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 고전압 및 저전압 소자의 제조방법.

**【청구항 2】**

제1 항에 있어서, 상기 (c) 단계에 있어서,

상기 제2 산화막은 6000~8000Å 의 두께로 성장시키고, 상기 고전압 소자 영역의 상기 상부 실리콘 층의 두께는 0.2~0.5μm 인 것을 특징으로 하는 고전압 및 저전압 소자 의 제조방법.

**【청구항 3】**

제1 항에 있어서, 상기 (c) 단계에 있어서,

고압 산화막 성장공정을 이용하여 제2 산화막을 성장시키는 것을 특징으로 하는 고 전압 및 저전압 소자의 제조방법.

**【청구항 4】**

제1 항에 있어서, 상기 (g) 단계는,

상기 고전압 소자 영역 및 상기 저전압 소자 영역 상에 제3 산화막을 형성하는 단 계;

상기 저전압 소자 영역에 문턱전압 조절을 위한 도편트를 이온주입하는 단계;

상기 저전압 소자 영역에 형성된 상기 제3 산화막을 제거하는 단계; 및

상기 고전압 소자 영역 및 상기 저전압 소자 영역 상에 제4 산화막을 형성하는 단 계를 포함하는 것을 특징으로 하는 고전압 및 저전압 소자의 제조방법.

**【청구항 5】**

제1 항에 있어서, 상기 (h) 단계에 있어서,

상기 고전압 소자가 형성되는 실리콘소자 영역의 두께는 저전압 소자의 소스 및 드레인의 불순물의 접합깊이와 일치되도록 형성하는 것을 특징으로 하는 고전압 및 저전압 소자의 제조방법.

### 【청구항 6】

- (a) 하부 기판, 매몰 산화막 및 상부 실리콘 층이 순차적으로 적층된 SOI 기판 상에 제1 산화막 및 질화막을 순차적으로 증착하는 단계;
- (b) 전체구조 상에 감광막을 도포하고, 사진전사공정으로 고전압 소자 영역 및 저전압 소자 영역을 정의하는 단계;
- (c) 상기 고전압 소자 영역에 대한 상기 질화막 및 제1 산화막을 식각하여 제거하는 단계;
- (d) 상기 고전압 소자 영역에 제2 산화막을 성장시키는 단계;
- (e) 상기 제2 산화막이 소정 두께를 갖도록 일정부분 남겨두면서 식각하여 제거하는 단계; 및
- (f) 질화막을 식각한 후 잔존한 상기 제1 산화막과 제2 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 고전압 및 저전압 소자의 소자영역 제조방법.

### 【청구항 7】

- 제6 항에 있어서, 상기 (d) 단계에 있어서,
  - 상기 제2 산화막은 6000~8000Å 의 두께로 성장시키는 것을 특징으로 하는 고전압 및 저전압 소자의 소자영역 제조방법.

**【청구항 8】**

제6 항에 있어서,

상기 (d) 및 (e) 단계를 반복하여, 상기 고전압 소자 영역의 상기 상부 실리콘 층의 두께를 상기 저전압 소자 영역의 상부 실리콘층의 두께보다 더 얕게 형성하는 것을 특징으로 하는 고전압 및 저전압 소자의 소자영역 제조방법.

**【청구항 9】**

제6 항에 있어서, 상기 고전압 소자 영역의 상기 상부 실리콘층의 두께는 0.2~0.5  $\mu m$ 로 형성하는 것을 특징으로 하는 고전압 및 저전압 소자의 소자영역 제조방법.

**【청구항 10】**

제6 항에 있어서, 상기 (d) 단계에 있어서,

고압 산화막 성장공정을 이용하여 제2 산화막을 성장시키는 것을 특징으로 하는 고전압 및 저전압 소자의 소자영역 제조방법.

**【청구항 11】**

SOI 기판 위에 형성된 고전압 소자 및 저전압 소자의 구조에 있어서,  
상기 SOI 기판 내의 상부 실리콘층인 실리콘 소자 영역의 두께가 상기 고전압 소자 영역 보다 상기 저전압 소자 영역이 더 두껍도록 단차가 있는 것을 특징으로 하는 고전압 및 저전압 소자의 구조.

**【청구항 12】**

제11 항에 있어서,

상기 고전압 소자가 형성되는 실리콘소자 영역의 두께는 저전압 소자의 소스 및 드레인의 불순물의 접합깊이와 일치되도록 형성하는 것을 특징으로 하는 고전압 및 저전압 소자의 구조.

【청구항 13】

제11 항에 있어서,

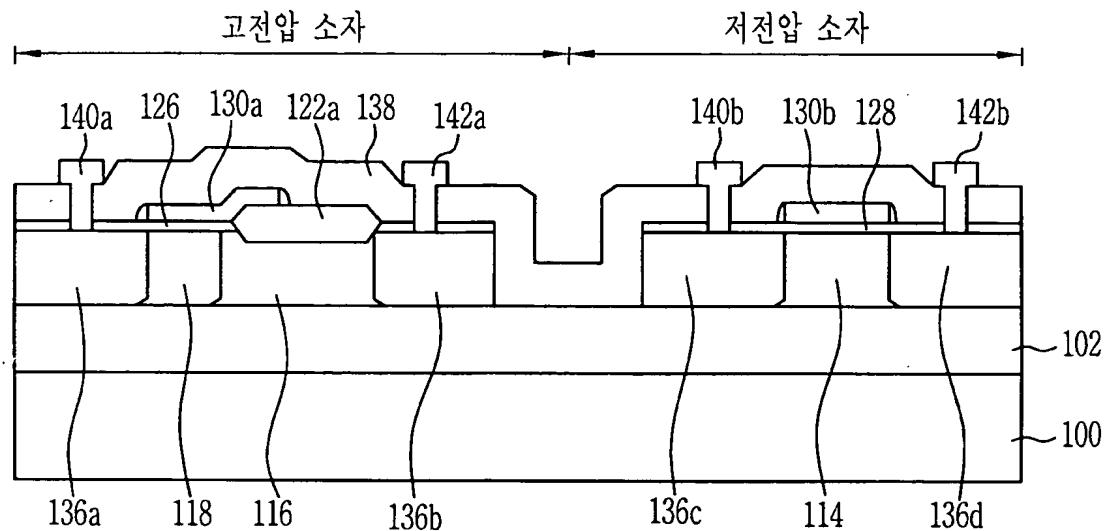
상기 고전압 소자 영역에서 상기 상부 실리콘층인 실리콘 소자 영역의 두께는  $0.2\sim0.5\mu m$  인 것을 특징으로 하는 고전압 및 저전압 소자의 구조.

1020020081474

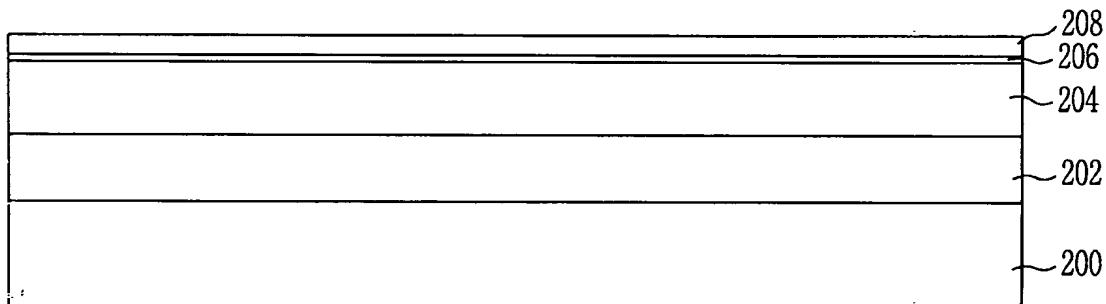
출력 일자: 2003/6/3

【도면】

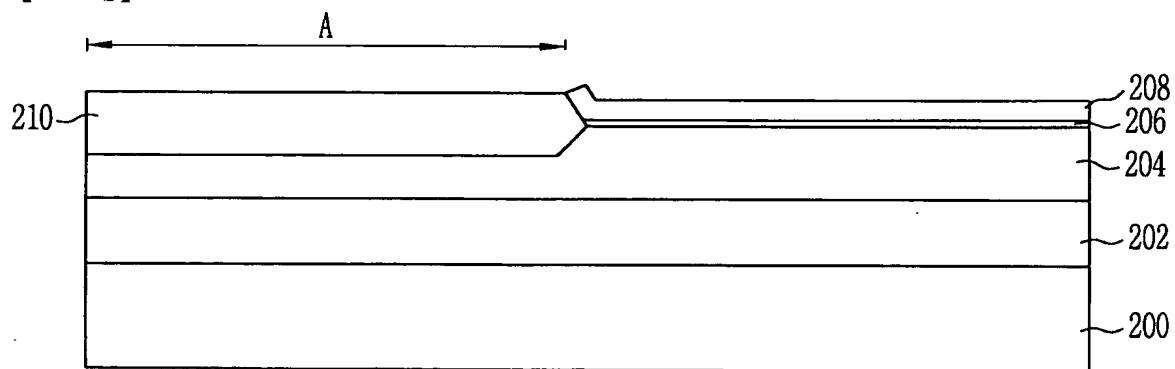
【도 1】



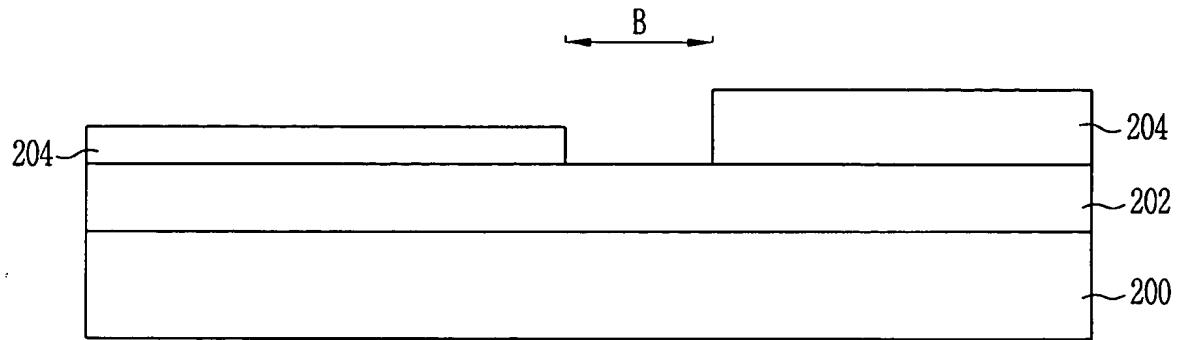
【도 2a】



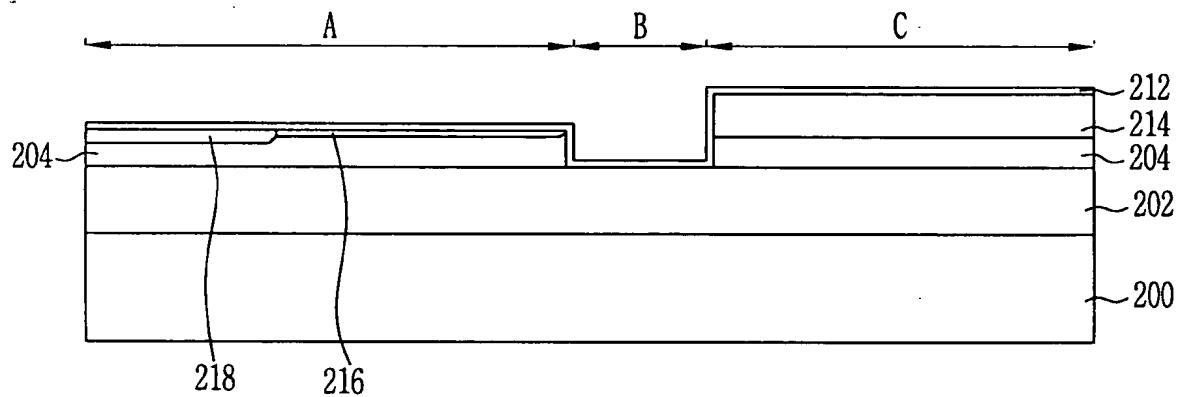
【도 2b】



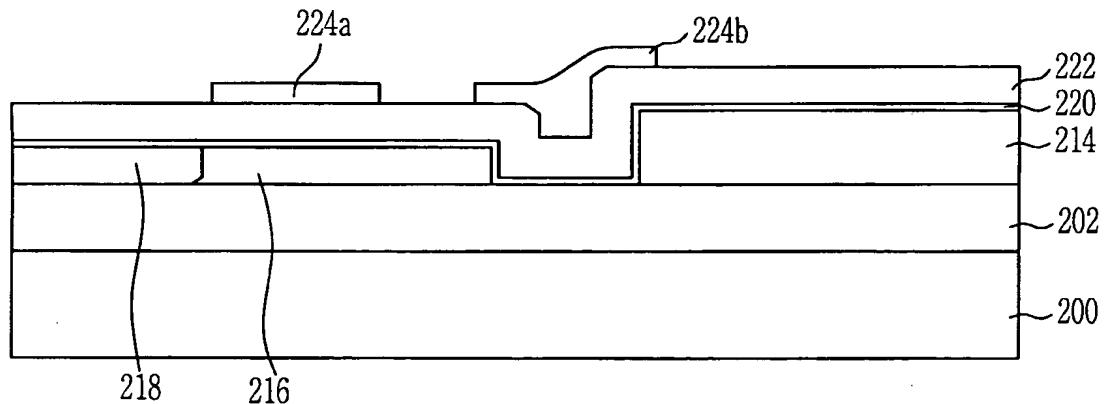
【도 2c】



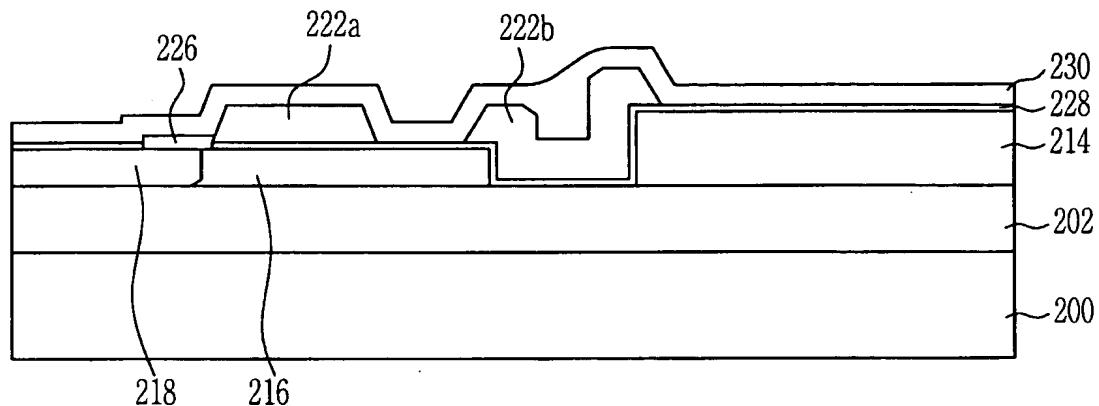
【도 2d】



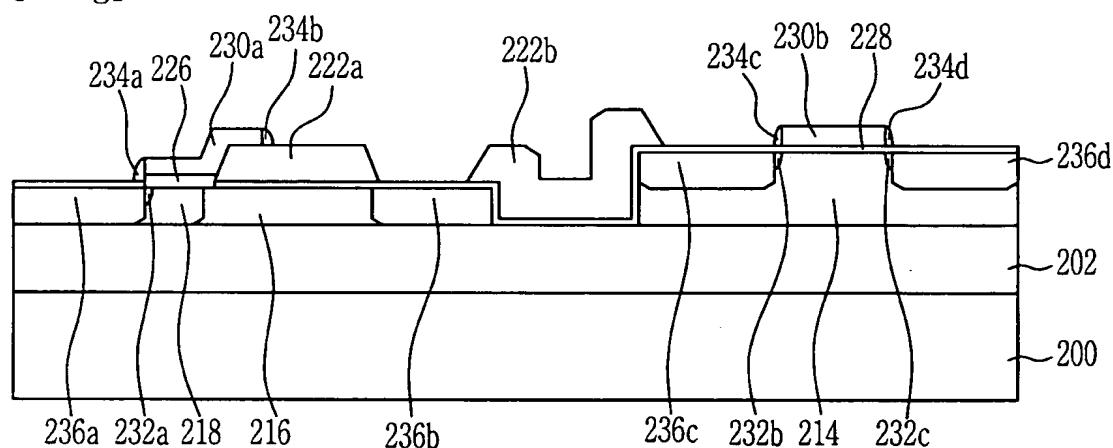
【도 2e】



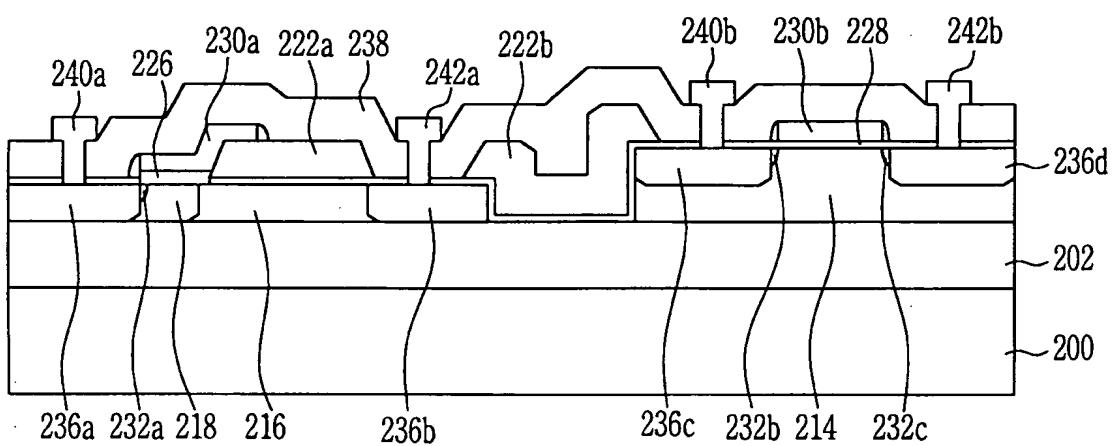
【도 2f】



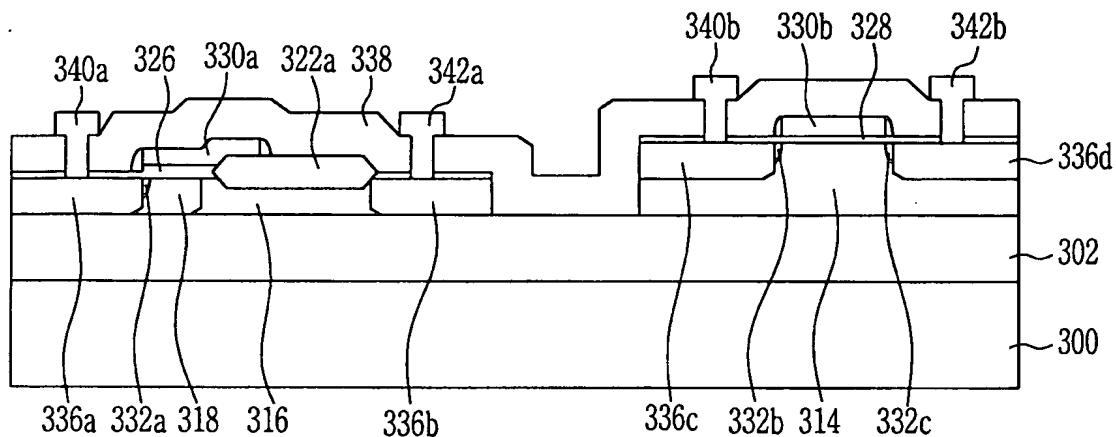
【도 2g】



【도 2h】



【도 3】



【도 4】

